

Estudo de Memórias Caches Reconfiguráveis e Circuitos Programáveis

Edward David Moreno Ordonez, Guilherme Gonsales Panes

Faculdade de Informática – Fundação de Ensino “Eurípides Soares da Rocha” (FEESR)
Marília – SP – Brasil

edmoreno@fundanet.br, g_panes@hotmail.com

Resumo. O projeto consiste em provar a necessidade da reconfigurabilidade das memórias cache. Essa reconfiguração faz com que a cache dependa do fluxo de dados, o qual é sensível ao tipo da aplicação que está em execução, ou seja, otimizando os parâmetros de construção das memórias conforme a necessidade. Para executar o projeto pretende-se, via simulação testar a importância e a alta dependência com diferentes programas. Considerar-se-á programas científicos, e comerciais. Das aplicações comerciais testar-se-á programas de ambientes multimídia. Já das científicas serão utilizados programas tipo multiplicação de matrizes. Finalmente estudar-se-á a importância e possibilidade dos circuitos programáveis (FPGAs) na reconfiguração dos caches.

Palavras Chave. Caches, Reconfiguráveis.

1. Introdução e Motivação

Nos sistemas de hierarquia de memória atuais a velocidade de acesso da memória é fator importantíssimo, devido a isso, constata-se que com as novas disposições das arquiteturas modernas dos computadores um problema se torna claro: a demora do acesso à memória RAM. O problema não é que a memória seja lenta, e sim o fato de que o processador é muito mais rápido, se comparados seus tempos de acesso, assim, o processador teria que ficar esperando por longos períodos as informações provenientes da RAM que pode durar até 80 ns, devido a sua construção física. A velocidade dos processadores desde 1980 vem aumentando muito, por exemplo, até 1989 tinha-se a velocidade do processador em 10 Mhz, após 6 anos essa velocidade já estava acima de 100 Mhz e atualmente já ultrapassou a 1024 Mhz (1Ghz). Na Figura 1.1 [Hennessy 1998], percebe-se que o acesso à memória não acompanhou esse crescimento de velocidade e pouco se alterou durante 20 anos.

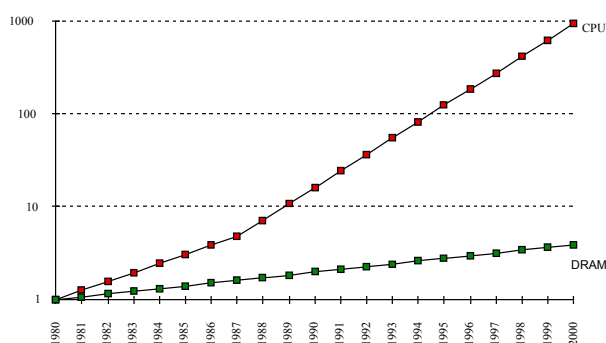


Figura 1.1. Gráfico demonstrativo da velocidade de execução dos processadores e da velocidade de acesso à memória.

Devido a essa disparidade tem-se um problema grande, e por isso as novas disposições das arquiteturas modernas dos computadores já vêm com modificações estruturais, prevendo uma maior organização da memória em uma hierarquia que facilite o acesso ao dado. O sistema de memória de qualquer sistema computacional baseia-se em uma hierarquia de memórias. Num dos extremos tem-se memórias maiores, mas com menos velocidade, já no outro extremo desta hierarquia tem-se as memórias mais rápidas, porém menores, devido a seu custo.

Analisando-se os níveis de hierarquia poder-nos-ia surgir uma dúvida: Porque não se coloca muita memória rápida e resolve-se o problema? Só que não é tão simples assim, porque há uma peculiaridade das memórias, quando o seu tamanho aumenta o tempo de acesso aumenta junto assim, acaba não compensando colocar uma memória muito grande que tenha um tempo de acesso muito alto, além disso, se tem o problema da memória ser muito cara e não compensar. Então para amenizar essa situação as arquiteturas de memória tiveram uma inovação: a implantação de uma Memória chamada “Memória Cache”. A memória Cache é uma memória de alta velocidade, que tem seu tempo de acesso muito menor que os 80 ns [Hennessy 1998] da Memória RAM e tem por função permitir o armazenamento de informações temporariamente. Ela tem como principal função o aumento da performance do sistema servindo de memória temporária (Buffer) para as informações que circulam entre a memória RAM (extremamente lenta) e o processador (extremamente rápido), no 80386, o uso de memória cache era opcional, isto é, apenas algumas máquinas incluíam uma pastilha controladora de memória cache, o 82385 (gerenciavam até 256 Kbytes), e sua inclusão implicava em um aumento da placa mãe [Barreto 2000]. Esta pastilha só era encontrada nas últimas versões micros 386, mas realmente ela começou a ser utilizada com caches de 2 níveis no 486 e Pentium [Coelho 2000], sendo atualmente centrais para diferenciar o desempenho de sistemas semelhantes (por exemplo, o Intel Celeron[32Kb para instruções e 32Kb para Dados no cache L1 interno ao processador]) [Barreto 2000], Pentium-II[32Kb para instruções e 32Kb para Dados no cache L1 interno ao processador e um cache L2 de 256Kb, 512Kb ou 1Mb interno ao processador] [Barreto 2000] e Xeon[32Kb para instruções e 32Kb para Dados no cache L1 interno ao processador e um cache L2 de 128Kb interno ao processador] [Barreto 2000] só diferem na cache). Em outras palavras, sem o uso da Memória Cache em 90 a 95% [Coelho 2000] das vezes o processador iria parar e esperar pelas informações necessárias para a continuação do funcionamento do sistema. Na figura 1.3 pode-se visualizar a estrutura do funcionamento de um sistema utilizando memória cache.

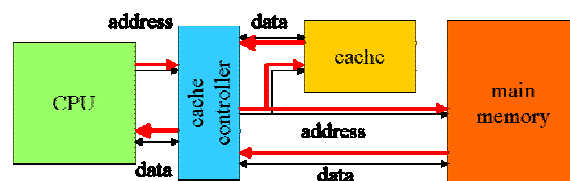


Figura 1.3: Organização de um sistema utilizando memória cache.

1.3.1 Conclusões e aplicações

Tudo o que foi relacionado nesse artigo refere-se à construção da memória cache, sua organização e o seu desempenho. E esse é bem o objetivo desse projeto: avaliar as construções e organizações a fim de fornecer um desempenho mais interessante do que os propostos atualmente para utilização da cache. Um ponto fundamental, é relativo ao desempenho da Cache que varia muito de aplicação para aplicação, dependendo de sua construção como já se viu, e das políticas que ele assume a cache pode ser muito eficiente

para algumas aplicações e para outras nem tanto. Isso é devido à sua arquitetura e ao padrão de acesso de programas em execução. Baseado nesses fatos, e comparando todos os desempenhos, surge a idéia de fazer com que essas memórias sejam reconfiguráveis, ou seja, para que independente da aplicação ela possa sempre obter um bom desempenho, pois a arquitetura da memória seria alterada em tempo de execução, se reconfigurando especificamente para àquela aplicação, isso faria com que as organizações e características fossem sendo utilizadas para aquilo que elas são muito eficientes, ou seja, se uma organizações ou características servem para um tipo de aplicação quando aquela aplicação fosse carregada, aquelas organizações ou características fariam parte da cache e quando não fosse mais necessária seria substituída por outra que trouxesse melhores benefícios.

5. Trabalhos Correlatos

Há muitos trabalhos relacionados com o desempenho de memórias caches, tanto ao nível de construção quanto do seu impacto (quase sempre via simulação) segundo a aplicação. O projeto precisa de muita análise e estudo, tanto dos conceitos básicos desses caches quanto do impacto que os programas exercem na arquitetura dos caches e dos sistemas. Um diferencial do projeto é a correlação que o aluno detectará entre a necessidade de reconfiguração e as possibilidades atuais de se implementar futuramente a proposta dos caches reconfiguráveis. Nesse intuito, muitos trabalhos estão sendo estudados e serão analisados criticamente. Isso será realizado em todas as atividades do projeto, com maior ênfase nas primeiras atividades de estudo de conceitos e fundamentos, atividades 1, 2 e 6. Finalmente seria importante salientar um forte estímulo que o trabalho intitulado “Reconfigurable Caches and their. Application to Media Processing” [Ranganathan 1999] onde o Indiano chamado Parthasarathy Ranganathan simulou e provou apenas em simulação que a reconfiguração traz bons resultados em aplicações multimídias.

6. Cronograma

O projeto inicialmente foi dividido em 9 fases:

Atividades	Descrição da Atividade	Duração
I.Introdução	A primeira fase do projeto relaciona-se com o estudo sobre memórias caches, onde se tem como objetivo o conhecimento do funcionamento básico dessas memórias.	Finalizada
II.Conceitos das Caches	Na segunda fase tem-se como objetivo estudar a fundo a construção, a organização, e a influência dos diferentes parâmetros na sua construção das memórias caches.	Finalizada
III.Parâmetros chaves das caches	Nesta fase utilizar-se-á o software chamado “CACTI” [Wilton 1993] o qual nos permite simular todo o processo construtivo e o impacto dessas construções nos tempos de acesso. Nesta fase, serão gerados gráficos comparativos.	Em andamento
IV.Instalação de Softwares Simuladores	Nesta fase será feita a instalação e estudos iniciais de dois simuladores: o LIMES [Ikodinovic 1996], e o AUGMINT [Nguyen 1996]. Essa fase tem como propósito estudar softwares que darão suporte para a construção do módulo de memórias cache, em Linguagem "C".	2 meses (Julho e Agosto)
V.Construção inicial do modulo em Linguagem	Nesta fase será feito estudo sobre linguagem de programação "C", que possibilitará a construção de modulo inicial de um Simulador de Memórias Caches, que visa fornecer dados sobre o desempenho dessa memória, a	3 meses (Setembro, Outubro, Novembro)

"C"	partir de parâmetros fornecidos pelo usuário.	
VI.Relatório Parcial	Baseado em todos os estudos das atividades anteriores onde constatar-se-á a importância dos parâmetros de construção das memórias cache (via simulação) será feito um relatório parcial dos resultados e experiências adquiridas até aqui. Nesta primeira fase, pretende-se verificar e ressaltar a importância da reconfiguração dos caches segundo a sua arquitetura e organização.	Em andamento (termino 1 mês) Esta atividade será realizada concorrentemente às atividades III e IV
VII.Simulação do Impacto das Aplicações.	Através de simulações pretende-se estudar o impacto e comportamento dos caches segundo a aplicação, onde verificar-se-á e ressaltar a importância dos caches segundo a aplicação que esteja sendo executada. Usar-se-á o simulador LIMES [Ikodinovic 1996], que será estimulado com programas considerados científicos	3 meses (Dezembro, Janeiro, Fevereiro)
VIII.Estudo inicial de Circuitos Programáveis	Nesta fase será realizado um estudo inicial sobre circuitos programáveis, onde estudaremos as diferentes tecnologias existentes e as capacidades atuais das FPGAs. Nesta fase não será realizada nenhuma implementação em FPGAs, somente se estudará as possibilidades, do ponto de vista de capacidades oferecidas pelas mesmas.	1.5 meses (Marco, Abril)
IX.Documentação Final	Nesta fase documentaremos tudo o que foi obtido nos estudos, mostrando os dados obtidos através dos simuladores LIMES, CACTI, AUGMINT e do Simulador de Memória Cache construído nesse projeto. Assim poderemos demonstrar se existe a necessidade da reconfigurabilidade, sendo assim, poderemos partir para outros estudos que visarão demonstrar a viabilidade da reconfiguração em hardware.	1.5 meses * esta fase será realizada paralelamente com as fases VI e VII (Abril, Maio)

References

- Ranganathan, Parthasarathy, Adve, Sarita, Jouppi, Norman P. (1999) "Reconfigurable Caches and their. Application to Media Processing"
- Hennessy, John "Memory Hierarchies" (1998) - Computer Organization & Design (Wayne State Unver.)
- Coelho, Claudionor José Nunes (2000) – "Hierarquia do Sistema de Memória", Laboratório de Engenharia de Computadores, Universidade Federal de Minas Gerais.
- Barretto, Marcelo (2000) "Microprocessadores" - Universidade Federal do Pará - Centro Tecnológico - Departamento De Engenharia Elétrica
- Wilton, Steve (1993) "An Enhanced Access and Cycle Time Program for On-Chip Caches" - <http://www.ee.ubc.ca/~stevew/cacti/index.html>.
- Ikodinovic, Igor (1996) "LIMES A Multiprocessor Simulation Tool for PC Platforms", Department of Computer Engineering, culty of Electrical Engineering University of Belgrade, <http://galeb.etf.bg.ac.yu/~igi/>.
- Nguyen, Anthony-Trung (1996) "Augmint: A multiprocessor simulator", I-ACOMA group, <http://iacoma.cs.uiuc.edu/>.